

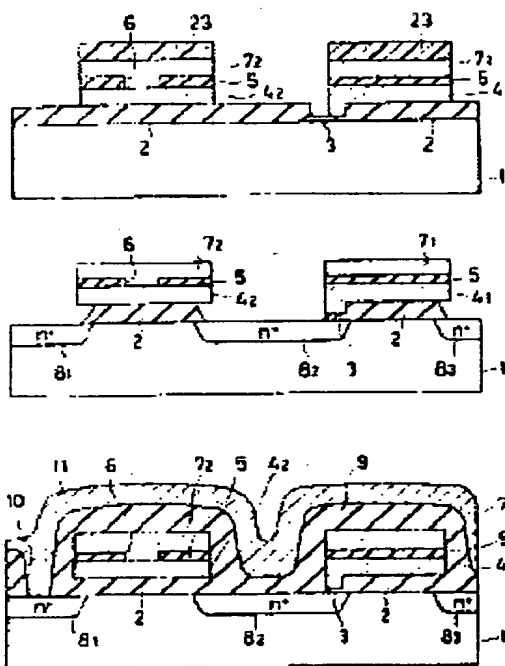
# NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

**Patent number:** JP2001176  
**Publication date:** 1990-01-05  
**Inventor:** INOUE SATOSHI; others: 07  
**Applicant:** TOSHIBA CORP  
**Classification:**  
 - international: H01L29/788; H01L27/115; H01L29/792  
 - european:  
**Application number:** JP19890063812 19890317  
**Priority number(s):**

## Abstract of JP2001176

**PURPOSE:** To increase the degree of integration of an EEPROM by forming the gate electrode of a selective transistor in a laminated structure consisting of a first conductive film formed simultaneously with the floating gate of a memory transistor and a second conductive film formed simultaneously with the control gate of the memory transistor, and causing them to be in direct contact with each other, thereby reducing an internal between cells.

**CONSTITUTION:** A second layer polycrystalline silicon film 7, an interlayer insulating film 5, and a first layer polycrystalline silicon film 4 are selectively etched sequentially to form patterns of a floating gate 41 and a contact gate 71 of a memory transistor, and laminated gate electrodes 42, 72 of a selective transistor. With these gate electrodes as masks, ion implantation is performed to form  $n^{+}$ -type layers 81 to 83 which will serve as sources and drains of each of the transistors. Finally, the entire surface is covered with an insulating film 9 and a contact hole 9 is formed to arrange a bit line 11 made of an Al film. Accordingly, the laminated electrodes 42, 72 of the selective transistor ST are kept in direct contact with each other through an opening 6 arranged in a gate region. This allows redundant spaces to be eliminated and higher degree of integration of EEPROMs to be achieved.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-1176

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月5日

H 01 L 29/788

7514-5F H 01 L 29/78 3 7 1  
8624-5F 27/10 4 3 4 ※  
審査請求 未請求 請求項の数 4 (全9頁)

⑮ 発明の名称 不揮発性半導体記憶装置およびその製造方法

⑯ 特 願 平1-63812

⑰ 出 願 平1(1989)3月17日

優先権主張 ⑱ 昭63(1988)3月18日 ⑲ 日本(JP) ⑳ 特願 昭63-63468

㉑ 発 明 者 井 上 聡 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

㉒ 発 明 者 梶 澤 充 平 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

㉓ 発 明 者 中 山 良 三 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

㉔ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉕ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体記憶装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上に、浮遊ゲートと制御ゲートが層間絶縁膜を介して積層された少なくとも一つのメモリトランジスタおよびこれと直列接続された選択トランジスタからなるメモリセルが配列形成された不揮発性半導体記憶装置において、前記選択トランジスタのゲート電極は、前記メモリトランジスタの浮遊ゲートと同時に形成された第1層導体膜と、前記メモリトランジスタの制御ゲートと同時に形成された第2層導体膜とが層間絶縁膜を介して積層された構造を有し、かつ前記第1層導体膜と第2層導体膜とが前記層間絶縁膜に開けられた開口を介してダイレクトコンタクトしていることを特徴とする不揮発性半導体記憶装置。

(2) 前記選択トランジスタのゲート電極は、チャネル領域上でダイレクトコンタクトしていることを特徴とする請求項(1)記載の不揮発性半導

体記憶装置。

(3) 前記選択トランジスタのゲート電極は、フィールド絶縁膜上でダイレクトコンタクトしていることを特徴とする請求項(1)記載の不揮発性半導体記憶装置。

(4) 半導体基板上に、浮遊ゲートと制御ゲートが層間絶縁膜を介して積層された少なくとも一つのメモリトランジスタおよびこれと直列接続された選択トランジスタからなるメモリセルが配列形成された不揮発性半導体記憶装置を製造する方法であって、半導体基板上にメモリトランジスタ領域および選択トランジスタ領域にそれぞれ必要な膜厚のゲート絶縁膜を形成した後、第1層導体膜を形成する工程と、前記第1層導体膜上に層間絶縁膜を形成し、この層間絶縁膜のうち前記選択トランジスタのゲート電極配設領域に選択的に開口を開けた後、その開口でダイレクトコンタクトする第2層導体膜を形成する工程と、前記第2層導体膜、層間絶縁膜および第1層導体膜を順次選択エッチングして、メモリトランジスタの浮遊ゲ

ートと制御ゲートおよび選択トランジスタのゲート電極を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

### 3. 発明の詳細な説明

#### (発明の目的)

##### (産業上の利用分野)

本発明は、浮遊ゲートと制御ゲートを有する書き換え可能なメモリトランジスタを用いた不揮発性半導体記憶装置およびその製造方法に関する。

##### (従来の技術)

浮遊ゲートと制御ゲートを積層した構造のメモリトランジスタと番地選択用の選択トランジスタを直列接続してメモリセルを構成した電気的書き換え可能な不揮発性半導体記憶装置(EEPROM)が知られている。

第8図は、その様なEEPROMの一例のメモリセル構造を示す平面図とそのA-A'およびB-B'断面図である。p型Si基板上31に、第1層多結晶シリコン膜による浮遊ゲート34、と第2層多結晶シリコン膜による制御ゲート36、

40が配設されている。第8図(a)にはビット線と直交する方向に隣接する2メモリセルを示したが、各メモリトランジスタMTの浮遊ゲート34、はそれぞれ独立であり、制御ゲート36、はこの方向には共通に配設されている。選択トランジスタSTのゲート電極34、36、もこの方向に連続的に配設される。ただ、ゲート電極34、と36、とを短絡するため上部ゲート電極36、はフィールド領域上で一部除去されている。即ち選択トランジスタSTの積層されたゲート電極34、36、は、セル領域の外でコンタクト孔41と短絡導体膜42により両者を短絡させている。

このEEPROMセルの動作は次の通りである。書き込み時は、選択トランジスタSTのゲートに正の高電圧、ドレインに接地電位を与え、メモリトランジスタMTの制御ゲートに正の高電圧を与える。ソースは5V程度またはオープンとする。このときメモリトランジスタMTでは薄いゲート絶縁膜33に高電界がかかり、電子がドレインから

を抜出したメモリトランジスタMTと、選択トランジスタSTとが直列接続された形でメモリセルが構成されている。選択トランジスタSTのゲート構造は、メモリトランジスタMTと基本的に同様の第1層多結晶シリコン膜によるゲート電極34、と第2層多結晶シリコン膜によるゲート電極36、の積層構造となっている。これは、第1層多結晶シリコン膜を堆積した後、層間絶縁膜35を形成してこの上に第2層多結晶シリコン膜を堆積し、その後これらの積層膜を順次選択エッチングして、メモリトランジスタMTおよび選択トランジスタSTのゲート部を形成するからである。但し、ゲート絶縁膜は、第8図(b)に明らかなように、第1のゲート絶縁膜32のうち、メモリトランジスタMT側のドレインに一部重なる書き換え領域に薄い第2ゲート絶縁膜33が形成されている。各部のゲート電極形成後、これをマスクとしてイオン注入を行なってソース、ドレインとなるn<sup>+</sup>型層37が形成され、その後全面をCVD絶縁膜38で覆ってA<sub>1</sub>膜によるビット線

浮遊ゲート34、にトンネル電流により注入される。この結果、メモリトランジスタMTはしきい値が正方向に移動する。消去時は、選択トランジスタSTのゲートおよびドレインに正の高電圧を与え、メモリトランジスタMTの制御ゲート36、を接地電位とし、ソースは5V程度またはオープンとする。このとき、選択トランジスタSTを介して正の高電圧がメモリトランジスタMTのドレインに伝わり、書き込み時とは逆の高電界が薄いゲート絶縁膜33にかかる。これにより、浮遊ゲート34、の電子が放出され、しきい値が負方向に移動する。読出しは、選択トランジスタSTをオンとし、メモリトランジスタMTの制御ゲートは0Vのまま、そのコンダクタンスを読むことにより行われる。

この様なEEPROMにおいて、選択トランジスタSTのゲート電極として本来必要なのは、第1層多結晶シリコン膜のみである。にも拘らず前述のように、この選択トランジスタのゲート電極として、メモリトランジスタ用の二層の多結晶シ

リコン膜の積層構造を用いて、これらをメモリセル領域の外で短絡しているのは次のような理由による。第1層多結晶シリコン膜をエッチングする際、エッチング残りを防ぐために必要なエッチング時間に対して30%程度余分にエッチング雰囲気にさらすのが普通である。第1層多結晶シリコン膜の膜厚が厚いとそれだけオーバーエッチングに要する時間も長くなり、その結果、露出したゲート絶縁膜がエッチングされて基板まで削られる事態が生じる。これを防止するためには、第1層多結晶シリコン膜は薄い方がよい。ところが第1層多結晶シリコン膜を薄くすると、これを用いた選択トランジスタのゲート電極の抵抗が大きくなる。そもそも第1層多結晶シリコン膜は、その表面に熱酸化により形成される層間絶縁膜の耐圧を十分なものとするためにリンなどの不純物濃度の低いものが必須であり、通常シート抵抗が100Ω/□以上と高い。そこで選択トランジスタについても、第1層多結晶シリコン膜と第2層多結晶シリコン膜の積層構造を用い、これらを前述のよ

うにフィールド領域上で金属膜を用いて短絡しているのである。

ところでビット線40は、前述のようにA層で形成される。また、選択トランジスタの第1層ゲート電極34、と第2層ゲート電極36、を短絡するのに短絡導体膜42を用いているが、これにビット線40と同じA層を用いるとすると、隣接するビット線40の間隔として、短絡導体42を形成するに必要な領域幅とA層パターンを切離すに必要な最小加工寸法幅が必要である。これは、メモリセルの高集積化を妨げる大きな要因になっている。

(発明が解決しようとする課題)

以上のように従来のEEPROMセルでは、選択トランジスタのゲート電極を構成する第1層多結晶シリコン膜と第2層多結晶シリコン膜を短絡することにより生じる実質的なセルサイズの増大が問題であった。

本発明は、このような問題を解決したEEPROMとその製造方法を提供することを目

的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明にかかるEEPROMは、選択トランジスタのゲート電極を、メモリトランジスタの浮遊ゲートと同時に形成される第1層導体膜とメモリトランジスタの制御ゲートと同時に形成される第2層導体膜の積層構造により構成し、かつこれらをダイレクトコンタクトさせたことを特徴とする。

本発明はまたこの様なEEPROMを製造するに際し、半導体基板上に必要なゲート絶縁膜を介して第1層導体膜を形成し、この上に層間絶縁膜を形成してその選択トランジスタのゲート電極配設領域に領域に開口を開け、この開口を通して第1層導体膜とダイレクトコンタクトする第2層導体膜を形成し、その後これら第2層導体膜、層間絶縁膜および第1層導体膜を順次選択エッチングして、メモリトランジスタの浮遊ゲートと制御ゲートおよび選択トランジスタのゲート電極を分離

形成することを特徴とする。

(作用)

本発明によれば、選択トランジスタのゲート電極を構成する第1層導体膜と第2層導体膜の積層膜をダイレクトコンタクトさせることによって、従来のようにA層を利用してこれらを短絡する構造、方法に比べて、セル間隔を小さくしてEEPROMの高集積化を図ることができる。

(実施例)

以下、本発明の実施例を説明する。

第1図(a)(b)は、一実施例のメモリセル構造を示す平面図とそのA-A'断面図である。これを、第2図(a)~(f)に示す製造工程断面図(第1図(b)に対応する)を参照して、製造工程に従って説明する。p型Si基板1を用い、まず熱酸化により第1ゲート絶縁膜2を形成し、この上に光露光技術によりメモリトランジスタの省替え領域に開口をもつレジストパターン21を形成する(第2図(a))。このレジストパターン21を用いて第1ゲート絶縁膜2をエッチング

し、レジストパターン21を除去した後、露出した基板1表面に熱酸化により薄い第2ゲート絶縁膜3を形成し、その後全面にリンドープの第1層多結晶シリコン膜4を堆積する。第1層多結晶シリコン膜4はこの後、ビット線と直交する方向について浮遊ゲートを分離するためのパターニングを行なう。その構造は図の断面には現れない。その後、第1層多結晶シリコン膜4の表面には例えば熱酸化により層間絶縁膜5を形成し、この上に再度光露光技術により、選択トランジスタのゲート領域に開口をもつレジストパターン22を形成する(第2図(b))。このレジストパターン22を用いて層間絶縁膜5を選択エッチングし、選択トランジスタのゲート領域に開口6を開けて、リンドープの第2層多結晶シリコン膜7を堆積する。第2層多結晶シリコン膜7は、開口6を通して第1層多結晶シリコン膜4とダイレクトコンタクトする。その後この第2層多結晶シリコン膜7上に、メモリトランジスタのゲート部と選択トランジスタのゲート部を分離するためのレジストパ

ターン23を、再度光露光技術により形成する(第2図(c))。そしてこのレジストパターン23をマスクとして反応性イオンエッチングにより、第2層多結晶シリコン膜7、層間絶縁膜5および第1層多結晶シリコン膜4を順次選択エッチングし、メモリトランジスタの浮遊ゲート4<sub>1</sub>、と制御ゲート7<sub>1</sub>、選択トランジスタの制御ゲート電極4<sub>2</sub>、7<sub>2</sub>をパターン形成する(第2図(d))。これらのゲート電極をマスクとしてイオン注入を行なって、各トランジスタのソース、ドレインとなるn<sup>+</sup>型層8<sub>1</sub>~8<sub>2</sub>を形成する(第2図(e))。最後に全面をCVD絶縁膜9で覆い、コンタクト孔10を開けてA<sub>1</sub>膜によるビット線11を配設する(第2図(f))。

第1図から明らかなようにこの実施例では、選択トランジスタSTの制御ゲート電極4<sub>2</sub>、7<sub>2</sub>は、ゲート領域に設けた開口6を通してダイレクトコンタクトしている。従って、セル領域の外側で制御ゲート電極をA<sub>1</sub>膜により短絡する第8図の従来例と比較して、ビット線間に無駄な占有面

積が必要なくなり、メモリセルの高集積化が図られる。

上記実施例では、メモリトランジスタMTのゲート絶縁膜のうちドレインに重なる一部領域のみ薄い第2ゲート絶縁膜3とし、他は選択トランジスタSTのそれと同じとしたが、メモリトランジスタのゲート絶縁膜全体をトンネル電流が流れ得る薄い第2ゲート絶縁膜とする場合にも本発明は有効である。第3図(a)~(f)は、その様な実施例のEEPROMの製造工程断面図を先の実施例の第2図(a)~(f)に対応させて示したものである。この実施例では、第1ゲート絶縁膜2を形成した後のレジストパターン21'を、メモリトランジスタ領域全体に開口をもつ状態で形成し、これによりメモリトランジスタ領域の第2ゲート絶縁膜2を除去した後、ここに第2ゲート絶縁膜3を形成する。この後は先の実施例と同様である。

また上記実施例では、メモリトランジスタMTが一個の場合を示したが、本発明は、複数のメ

モリトランジスタを直列接続した形のNANDセル構造にも適用できる。第4図はそのようなNANDセルをもつEEPROMに本発明を適用した場合の一つのセル部の平面図である。この実施例では、4個のメモリトランジスタMT<sub>1</sub>~MT<sub>4</sub>と二個の選択トランジスタST<sub>1</sub>、ST<sub>2</sub>によりNANDセルが構成されている。各メモリトランジスタは、第1層多結晶シリコン膜による浮遊ゲート4<sub>11</sub>~4<sub>14</sub>と、第2層多結晶シリコン膜による制御ゲート7<sub>11</sub>~7<sub>14</sub>を有し、選択トランジスタST<sub>1</sub>、ST<sub>2</sub>は、それぞれ第1層多結晶シリコン膜と第2層多結晶シリコン膜の制御ゲート電極4<sub>21</sub>、7<sub>21</sub>、4<sub>22</sub>、7<sub>22</sub>をもつ。そしてこれら各選択トランジスタSTの制御ゲート電極間は、先の実施例と同様に、開口6<sub>1</sub>、6<sub>2</sub>により、ダイレクトコンタクトさせている。この実施例によっても先の実施例と同様の効果が得られる。

上記実施例では、選択トランジスタの二層のゲート電極をそのチャネル領域上でダイレクトコンタクトさせたが、この場合コンタクト領域幅はゲ

ート長より小さくしなければならない。したがってゲート長が小さい場合は良好なコンタクトをとることがむずかしくなる。また開口6<sub>1</sub>、6<sub>2</sub>を開ける時にR1Eによるダメージでゲート絶縁膜2の絶縁耐圧の劣化や信頼性の低下を生じる場合がある。その様な場合には、フィールド領域上でコンタクトをとることが望ましい。

第5図(a)(b)は、その様な実施例のEEPROMを示す平面図とそのA-A'断面図である。第1図と対応する部分には第1図と同一符号を付してある。図に示すように隣接するメモリセルについて連続的に配設される選択トランジスタのゲート電極4<sub>2</sub>、7<sub>2</sub>を、フィールド絶縁膜上に設けた開口6を介してダイレクトコンタクトさせている。

第6図(a)～(c)は、そのEEPROMの選択トランジスタ部にのみ着目した製造プロセスである。まず、p型シリコン基板1に通常のLOCOS法を用いてフィールド絶縁膜24を形成し、900℃のHCl酸化で約400Åのゲ-

ト酸化膜2を形成した後、第1層多結晶シリコン膜4を熱CVD法で堆積する。この多結晶シリコン膜4には、POCl<sub>3</sub>雰囲気中で900℃、10分のリン拡散を行なう(第6図(a))。フィールド領域には予めp型不純物をドーピングしておき、反転防止層25を形成する。次に、第1層多結晶シリコン膜4の表面に熱酸化により層間絶縁膜5を形成した後、この上にフォトリソスト・パターン26を形成して、フィールド領域上で層間絶縁膜5を選択的に除去して開口6を設ける(第6図(b))。そしてフォトリソスト・パターン26を除去し、第2層多結晶シリコン膜7を堆積し、これにリンをドーピングする(第6図(c))。

この後は先の実施例と同様にして、第1層、第2層多結晶シリコン膜4、7をパターン形成して、メモリトランジスタの浮遊ゲート、制御ゲートと共に選択トランジスタのゲート電極を形成する。

この実施例によれば、第1図の実施例と同様の効果が得られる他、選択トランジスタのゲート長が短い場合にも二層のゲート電極のコンタクトを

確実にとることができ、EEPROMの信頼性向上が図られるという効果が得られる。

フィールド領域上で選択トランジスタの二層ゲート電極のダイレクトコンタクトをとることは、NANDセル型メモリセルを用いたEEPROMにも同様に適用することができる。その実施例の構成を、第4図に対応させて第7図に示す。ビット線側の選択トランジスタST<sub>1</sub>、ソース側の選択トランジスタST<sub>2</sub>共に、フィールド絶縁膜上に設けた開口6<sub>1</sub>、6<sub>2</sub>により二層のゲート電極のダイレクトコンタクトをとっている。

以上の実施例では、層間絶縁膜が熱酸化膜一層の場合を説明したが、これを例えばシリコン酸化膜-シリコン窒化膜の積層構造とした場合、またシリコン酸化膜-シリコン窒化膜-シリコン酸化膜の三層構造とした場合も本発明は有効である。タンタル酸化物膜等を層間絶縁膜として用いることもできる。また多結晶シリコン膜へのドーピングにはPOCl<sub>3</sub>の他、イオン注入を利用することもでき、ドーピング種もPの他、As、Sbな

どを用いることができる。さらにゲート電極材料として多結晶シリコン膜以外の導体膜を用いることができる。

その他本発明は、その趣旨を逸脱しない範囲で種々変形して実施することができる。

#### 【発明の効果】

以上述べたように本発明によれば、選択トランジスタの積層ゲート電極を相互にダイレクトコンタクトさせることによって、無駄なスペースをなくして高集積化を図ったEEPROMを実現することができる。

#### 4. 図面の簡単な説明

第1図(a)(b)は本発明の一実施例のメモリセル構造を示す平面図とそのA-A'断面図、

第2図(a)～(f)はその製造工程断面図、

第3図(a)～(f)は他の実施例の製造工程断面図、

第4図はNANDセルに適用した他の実施例の平面図、

第5図(a)(b)は他の実施例のメモリセル

構造を示す平面図とそのA-A'断面図、

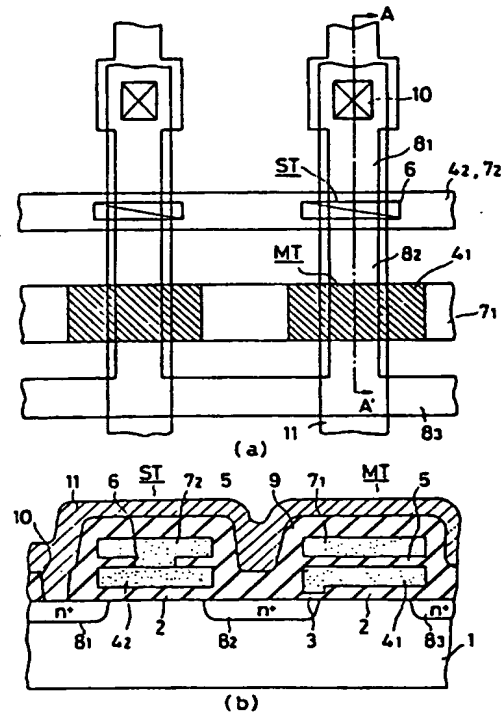
第6図(a)~(c)はその選択トランジスタ部の製造工程を示す断面図、

第7図はNANDセルに適用した他の実施例を示す平面図、

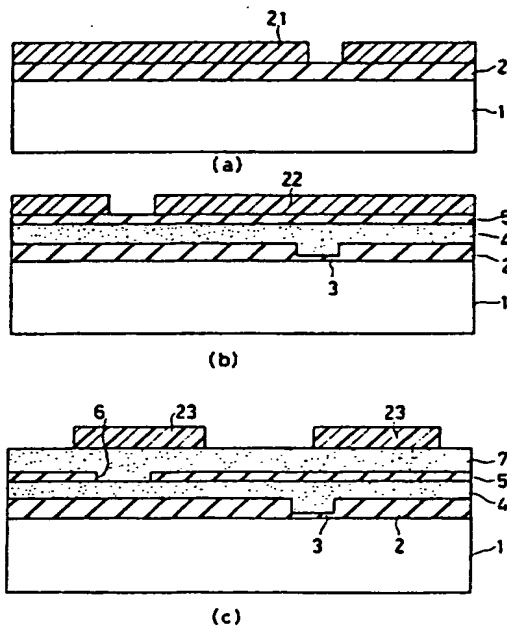
第8図(a)(b)(c)は従来のメモリセル構造を示す平面図とそのA-A'、B-B'断面図である。

1…p型Si基板、2…第1ゲート絶縁膜、3…第2ゲート絶縁膜、4…第1層多結晶シリコン膜、4<sub>1</sub>…浮遊ゲート、4<sub>2</sub>…選択トランジスタの第1層ゲート電極、5…層間絶縁膜、6…コンタクト開口、7…第2層多結晶シリコン膜、7<sub>1</sub>…制御ゲート、7<sub>2</sub>…選択トランジスタの第2層ゲート電極、8…n<sup>+</sup>型層、9…CVD絶縁膜、10…コンタクト孔、11…ビット線、12…フィールド絶縁膜、MT…メモリトランジスタ、ST…選択トランジスタ。

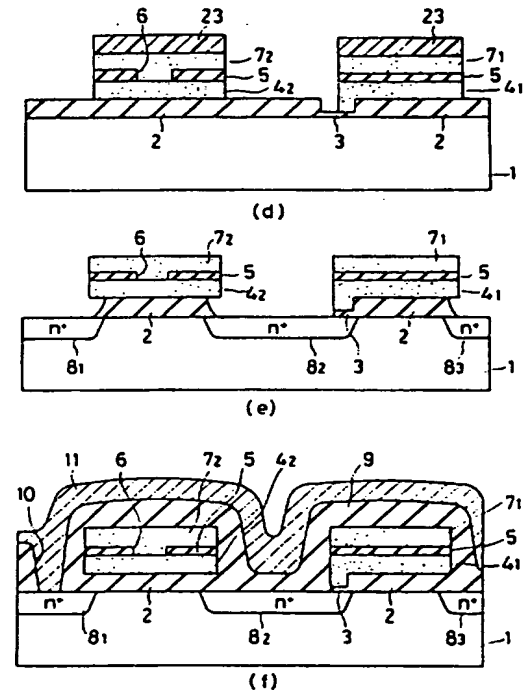
出版人代理人 井理士 鈴江武彦



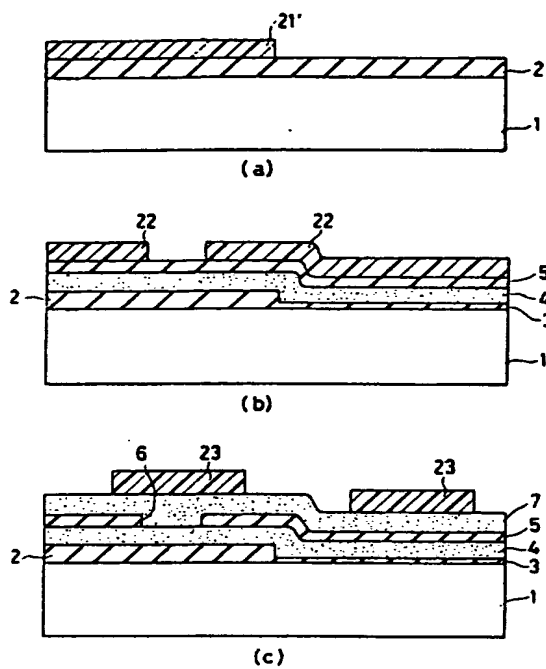
第1図



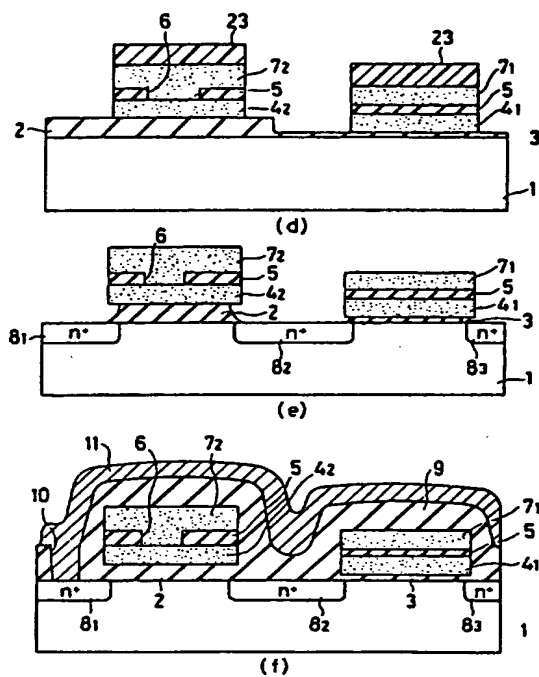
第2図



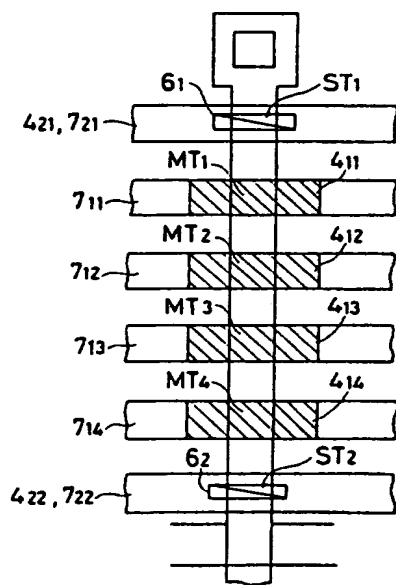
第2図



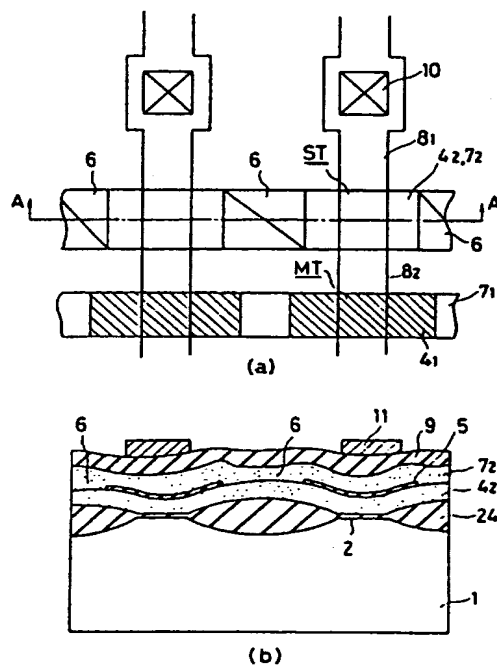
第 3 図



第 3 図

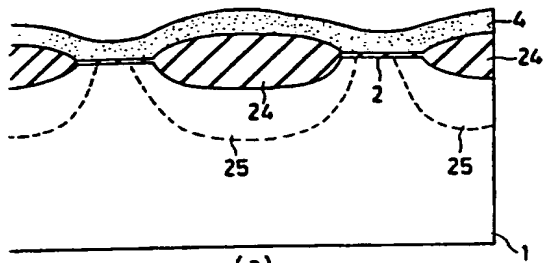


第 4 図

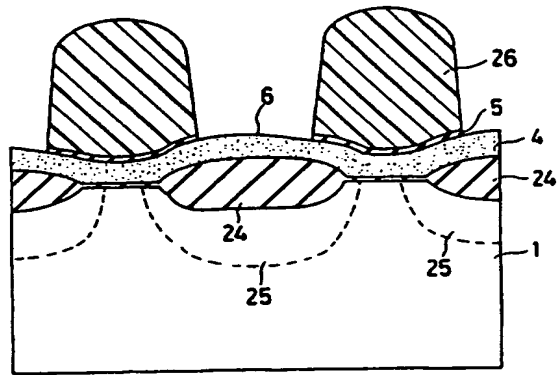


第 5 図



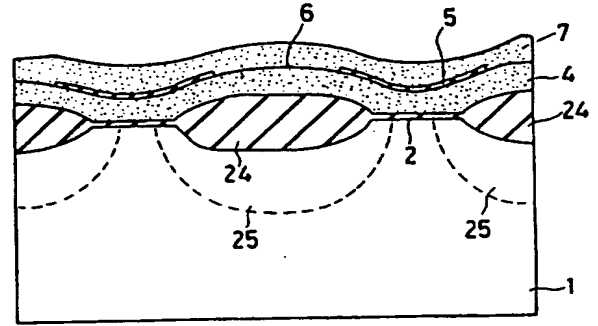


(a)



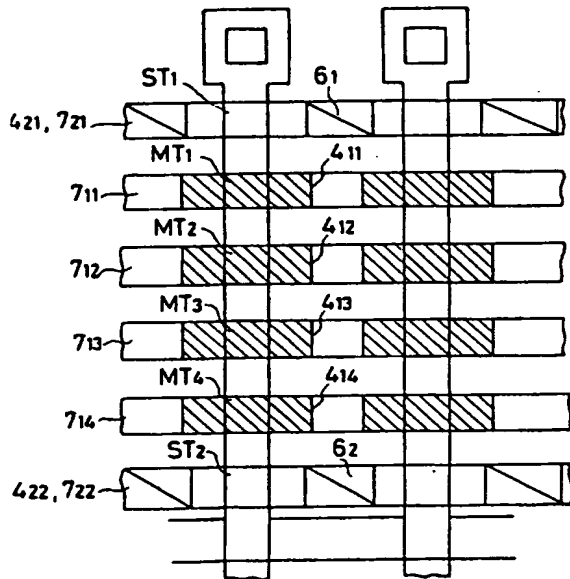
(b)

第 6 図

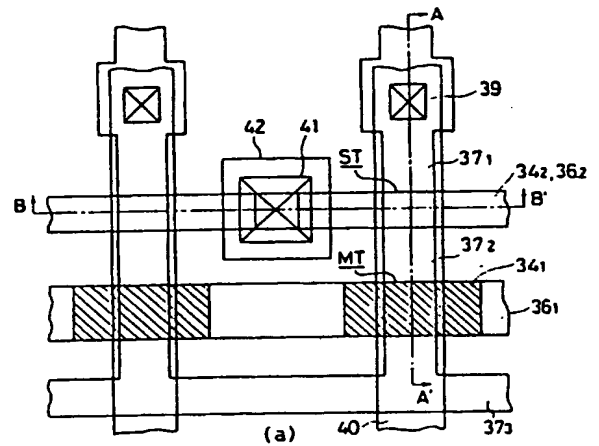


(c)

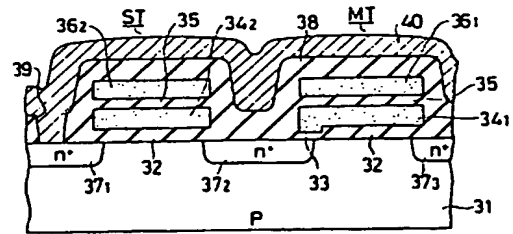
第 6 図



第 7 図

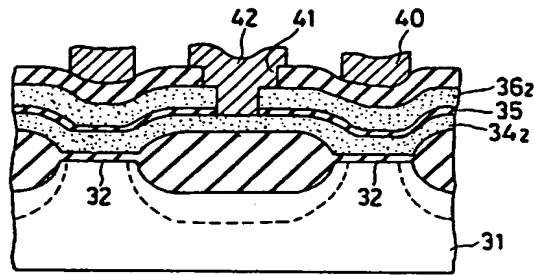


(a)



(b)

第 8 図



(c)

第 8 図

第 1 頁の続き

⑤Int.Cl.<sup>8</sup>

H 01 L 27/115  
29/792

識別記号

庁内整理番号

⑦発明者	白田	理一郎	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝総合研究所内
⑦発明者	有留	誠一	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝総合研究所内
⑦発明者	百富	正樹	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝総合研究所内
⑦発明者	岩田	佳久	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝総合研究所内
⑦発明者	舩岡	富士雄	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝総合研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**